

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-129673

(43)Date of publication of application : 16.05.1997

(51)Int.Cl.

H01L 21/60  
G01R 31/28  
H01L 21/66  
H01L 21/321

(21)Application number : 07-281902

(71)Applicant : TOSHIBA MICROELECTRON  
CORP  
TOSHIBA CORP

(22)Date of filing : 30.10.1995

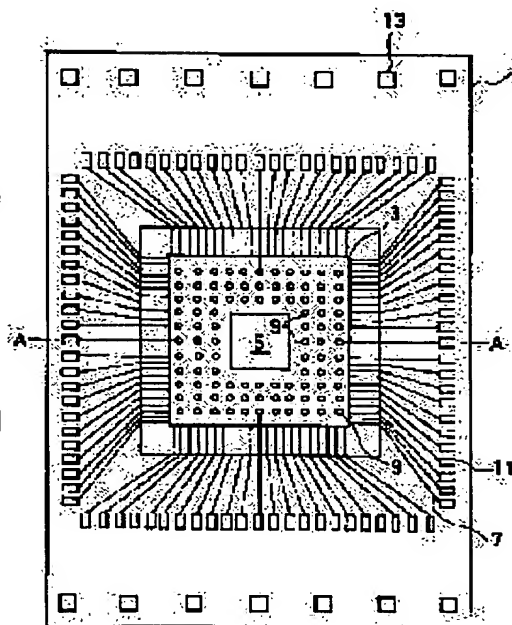
(72)Inventor : YOSHIDA AKITO  
HAMANO TAKAHIRO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To enhance a manufacturing yield by a method wherein a manufacturing line used in QTP(quad tape carrier package) and various sources such as a socket, etc., are shared to reduce manufacturing cost, and further a test, etc., is carried out without giving damages to a solder ball of a tape BGA(ball grid array).

SOLUTION: This device comprises a plurality of solder balls 9 for inputting and outputting signals between a pad part of a semiconductor chip and an external unit. This device further comprises a plurality of test pads 11 provided in a peripheral part of the plurality of solder balls 9; and an inner lead 7 for connecting a specific solder ball out of the plurality of solder balls 9 with the pad part of the semiconductor chip, and further for connecting a specific test pad of the plurality of test pads therewith.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-129673

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 R
G 0 1 R 31/28			21/66	E
H 0 1 L 21/66			G 0 1 R 31/28	V
21/321			H 0 1 L 21/92	6 0 2 P
				6 0 4 T

審査請求 未請求 請求項の数2 O L (全4頁)

(21) 出願番号 特願平7-281902

(22) 出願日 平成7年(1995)10月30日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社  
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72) 発明者 吉田 章人

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

(72) 発明者 浜野 貴弘

神奈川県川崎市川崎区駅前本町25番地1  
東芝マイクロエレクトロニクス株式会社内

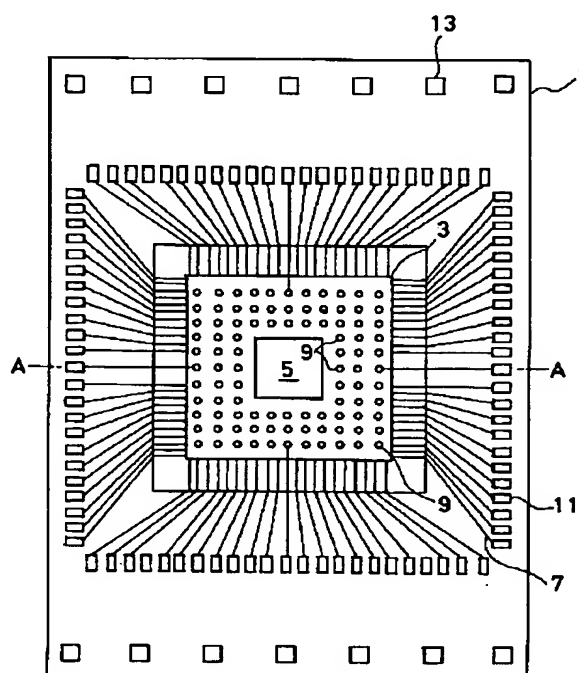
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 Q T P にて使用されていた製造ラインやソケット等の各種の資源を共用することで製造コストを低減し、さらに、テープ B G A の半田ボールにダメージを与えずにテスト等を行うことで、製造歩留まりを向上させることができる半導体装置を提供することである。

【解決手段】 半導体チップのパッド部と外部との信号の入出力を行う半田ボール9を複数備えた半導体装置において、前記複数備えられた半田ボールの周辺部に設けられた複数のテストパッド11と、前記半導体チップのパッド部と前記複数備えられた半田ボール9のうち、所定の半田ボールを接続し、さらに複数のテストパッドのうち所定のテストパッドを接続するインナーリード7とを備えるようにしてある。



1

## 【特許請求の範囲】

【請求項 1】 半導体チップのパッド部と外部との信号の入出力を行う半田ボールを複数備えた半導体装置において、

前記複数備えられた半田ボールの周辺部に設けられた複数のテストパッドと、

前記半導体チップのパッド部と前記複数備えられた半田ボールのうち、所定の半田ボールを接続し、さらに複数のテストパッドのうち所定のテストパッドを接続するインナーリードと、

を備えることを特徴とする半導体装置。

【請求項 2】 前記半導体装置は、金属プレートや樹脂を用いなくで封止することを特徴とする請求項 1 記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、半導体パッケージの 1 種であるテープ BGA を具備する半導体装置に関する。

## 【0002】

【従来の技術】半導体パッケージの 1 種であるテープ BGA (Ball Grid Array) とは、表面実装型多端子 LSI パッケージであって、このパッケージの端子として球形の半田を用い、一般的にはこの半田を 2 次元のアレイ状に並べたものである。このテープ BGA は QTP (Quad Tape carrier Package) と比較してリードの変形の恐れがない等の理由により実装が容易であるため、実装ラインでの不良発生率を低減することができ、比較的安価で実装することができるため注目を浴びている。

【0003】このテープ BGA の一般的な構成を図 3 に示す。同図に示すように、このテープ BGA 1 は、半導体チップ (図示せず) と外部との信号の入出力を行う半田ボール 9 を備えたスティフナー 3 と、半導体チップ 5 とを備えてある。

【0004】ここで、このテープ BGA は、予めプリントによる配線が施され、スプロケットホール 13 等が備えられたものが連続的にリール状に巻かれている。このリール状に巻かれたテープを一つずつカットして、そのテープに半田ボール 9 やスティフナー 3 等を装着して、ILB (Inner Lead Bonding)、樹脂封止等の処理を行い、最後にカバープレートが装着される。完成したテープ BGA は、テスト等の工程を経て出荷され、実装する際にスティフナー 3 の外側は切り離されて使用される。

## 【0005】

【発明が解決しようとする課題】しかしながら、従来のテープ BGA では以下の問題点があった。テープ BGA は上述のように有用な表面実装型多端子 LSI パッケージであるが、従来 QTP にて使用されていた製造ラインの共用ができないため、専用の製造ラインが必要となる。これに伴い、各工程で用いられる製造装置も専用に

2

必要となる。また、時間とストレスに依存する故障を起こすデバイスを除くために行われるスクリーニング試験の一種であるバーンインや、各種のテストを行う場合には従来の QTP 用のソケットを用いることができないため、専用のソケットが必要となる。従って、製造コストの増加を引き起こすという問題が生じる。

【0006】また、このテスト等の場合には半田ボール 9 をそのまま用い、半田ボール 9 とソケットの一部を接触させてコンタクトを取るため半田ボールにダメージを与えるおそれがある。特にバーンインでは高温にするため、そのダメージは大きくなり、ボールが変形し、コプラナリティ (平坦度) が問題となる。

【0007】更に、最近の半導体装置の高機能化や高集積化により信号の入出力が増加する傾向にあり、いわゆる多ピン化傾向が進んでいる。この多ピン化傾向により製造ラインに用いられている装置やソケットも高価になってきており、各半導体装置毎にこれら製造ラインに用いられている装置やソケットを準備することは相当量の投資が必要である。

【0008】本発明は上記事情に鑑みてなされたものであり、その目的とするところは従来 QTP にて使用されていた製造ラインやソケット等の各種の資源を共用することで製造コストを低減し、さらに、テープ BGA の半田ボールにダメージを与えずにテスト等を行うことで、製造歩留まりを向上させることができる半導体装置を提供することにある。

## 【0009】

【課題を解決するための手段】本発明の発明者は、上述の如く有用なテープ BGA の製造コストの低減や、製造歩留まりの向上を図るためにはいかにすればよいかを考えた。製造コストの低減するには、従来から用いられている QTP の製造ラインと共用することができればよいことに気づき、テープ BGA においてもテストパッドを設けるようにして、テープ部分の寸法やテストパッドの位置やピッチ等を従来から用いられている QTP のテープ部分の構成合わせれば、テープ BGA の製造コストの低減することができるのではと考えた。

【0010】さらに、発明者は、従来から用いられている QTP のテープ部分の構成のようにテープ BGA を構成すれば、テストの際に、直接半田ボールを用いずにテストパッドを用いることができるので、テープ BGA の半田ボールにダメージを与えずにテスト等を行うことができるため、製造歩留まりを向上させることができるのではと考えた。

【0011】以上のように、テープ BGA においてもテストパッドを設けるようにして、テープ部分の寸法やテストパッドの位置やピッチ等を従来から用いられている QTP のテープ部分の構成合わせれば、上記の問題点が一気に解消されることに気が付いた。

【0012】そこで、本発明の発明者は慎重な研究を重

50

3

ねた結果、以下の発明を完成させることができた。本発明の特徴は、半導体チップのパッド部と外部との信号の入出力を行う半田ボールを複数備えた半導体装置において、前記複数備えられた半田ボールの周辺部に設けられた複数のテストパッドと、前記半導体チップのパッド部と前記複数備えられた半田ボールのうち、所定の半田ボールを接続し、さらに複数のテストパッドのうち所定のテストパッドを接続するインナーリードとを備えることである。

【0013】ここで、前記半導体装置は、金属プレート10や樹脂を用いないで封止することが好ましい。

【0014】上記構成によれば、前記複数備えられた半田ボールの周辺部に設けられた複数のテストパッドを設けてあるので、従来QTPにて使用されていた製造ラインやソケット等の各種の資源を共用することで製造コストを低減することができるのである。また、テストの際には上記テストパッドを用いることができるので、テープBGAの半田ボールにダメージを与えずにテスト等を行うことで、製造歩留まりを向上させることができるのである。

【0015】また、前記半導体装置は、金属プレートや樹脂を用いないで封止することにより、製造工程を簡略化することができるため、製造コストを低減することができ、また、軽量化を図ることができるのである。

【0016】

【発明の実施の形態】本発明に係る半導体装置について図面を参照しながら説明する。

【0017】図1は本発明に係る半導体装置の実施形態を示したものである。本実施形態で用いるものは、表面実装型多端子LSIパッケージであって、このパッケージの端子として球形の半田を用い、一般的にはこの半田を2次元のアレイ状に並べたものであるテープBGA(Ball Grid Array)である。同図に示す通り、この半導体装置は、半導体チップ5のパッド部(図示せず)と外部との信号の入出力を行う半田ボール9を備えたスティフナー3と、半導体チップ5とを備えてある。さらに、本発明に係る半導体装置はスティフナー3の周辺部にテストパッド11が設けられており、上記半導体チップのパッド部と所定の半田ボール9を接続するインナーリードは所定のテストパッド11に接続されている。

【0018】図2は図1の半導体装置のAA線断面図である。左右対称であるため、その一方を省略してある。図に示す通り、半導体チップ5のパッド部15はインナーリード7と接続され、このインナーリード7は、所定の半田ボール9及びテストパッド11に接続されている。図1においてインナーリード7はスティフナー3外側に垂直に延ばしてあるのは、従来のQTPと同一の仕様にしたためであるが、例えば、インナーリード7はスティフナー3外側に斜めに延ばしてもよい。なお、従来のQTPは、インナーリードをスティフナー外側に垂直

4

に延ばす理由は、このQTPを実装する際にスティフナー3の外側を切り離して使用する際に、このインナーリードを端子として用いるためである。本発明に係る半導体装置にあっては、半田ボールがその役割を行うため、どのような構成であってもよい。

【0019】ここで、このテープBGAは、予めプリントによる配線が施され、スプロケットホール13等が備えられたものが連続的にリール状に巻かれている。スプロケットホール13はリール状に巻かれたテープの送出し等を行うために設けられたものである。このリール状に巻かれたテープを一つずつカットして、そのテープに半田ボール9やスティフナー等を装着して、ILB(Inner Lead Bonding)、樹脂封止等の処理を行い、最後にカバープレートが装着される。本実施形態の半導体装置においては、従来のQTPと同一の仕様になっているので、上記の殆どの工程は、製造ラインを共用することができる。完成したテープBGAは、テスト等の工程に際して半田ボールを用いることなくテストパッドを用いることでテストを行うことができる。これにより、テープBGAの半田ボールにダメージを与えずにテスト等を行うことができる。

【0020】また、従来のテープBGAには金属プレートや樹脂を用いて封止されていたが、QTPと同一仕様のテープを用いることで、金属プレートや樹脂を用なくてもよくなるので、製造工程を簡略化することができる。このため、製造コストを低減することができ、また、軽量化を図ることができる。

【0021】以上の工程を経て出荷され、実装する際にスティフナー3の外側は切り離されて使用される。

【0022】以上のように、本発明に係る半導体装置に用いられているテープ部分を従来のQTPのテープと同一仕様、同一規格で構成することができる。すなわち、テープ部分の寸法やテストパッド部11の位置やピッチ等を従来用いられているQTPのテープの構成とすることが可能である。

【0023】このように本実施形態では、QTPのテープと同一仕様、同一規格にて作成することにより、従来QTPにて使用されていた製造ラインやソケット等の各種の資源を共用することができる。

【0024】

【発明の効果】以上説明したように本発明によれば、スティフナーの周辺部にテストパッドが設けられているので、テープ部分の寸法やテストパッド部の位置やピッチ等を従来用いられているQTPのテープの構成のようにすることができる。従って、従来QTPにて使用されていた製造ラインやソケット等の各種の資源を共用することができる。これにより、製造コストを低減することができる。

【0025】さらに、バーンインやテスト時には直接半田ボールを用いずにテストパッドを用いることができる

5

ので、テープBGAの半田ボールにダメージを与えずにテスト等を行うことができるため、製造歩留まりを向上させることができる。

【0026】特に、最近の多ピン化傾向に対応することができるので、例えばASICデバイス等には本発明の効果は大なるものである。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の実施形態を示した図である。

【図2】本発明に係る半導体装置の実施形態を示した断面図である。

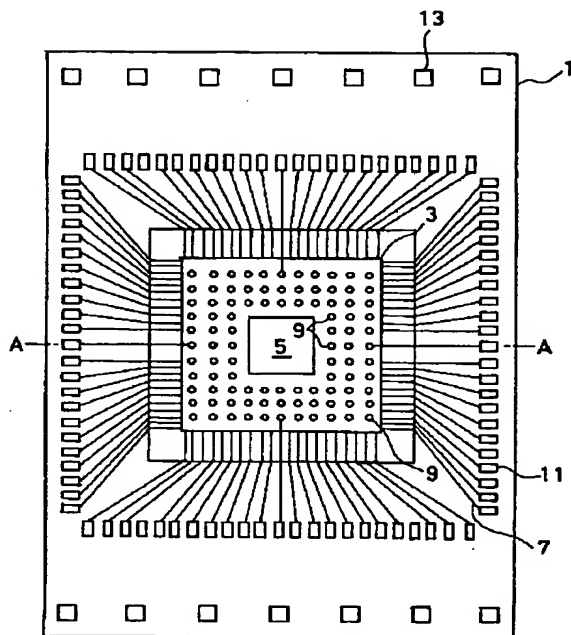
6

\*【図3】従来のテープBGAを示した図である。

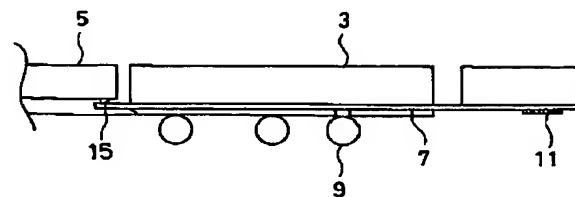
【符号の説明】

- 1 テープBGA
- 3 スティフナー
- 5 ボディ
- 7 インナーリード
- 9 半田ボール
- 11 テストパッド
- 13 スプロケットホール
- 15 パッド部

【図1】



【図2】



【図3】

